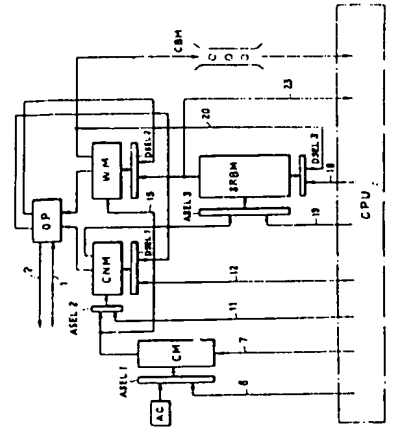


- (54) SIGNAL TRANSMISSION/RECEPTION UNIT
 (11) Kokai No. 52-55402 (43) 5.6.1977 (21) Appl. No. 50-131638
 (22) 10.31.1975
 (71) FUJITSU K.K. (1) (72) HIROAKI SATO (3)
 (52) JPC: 96(2)C4;97(7)D3;97(7)C0
 (51) Int. Cl². H04Q11/04,G06F3/00,G06F13/00,G11D1/00

PURPOSE: The buffer memory of transmission and reception are shared at time division data switchboard in order to ensure an effective use of memory as well as to simplify the processing at central processor.

CONSTITUTION: The reception data of in-highway 1 is composed of the contents of control memory CNM and work memory WM through computing element OP, and stored at address of reception data buffer memory SRBM which is written at CNM along with reception command. Further, signal is received; data is consecutively written into SRBM; channel number signal is added at reception completion time; and signal completion buffer memory CBM performs storage. The reception data is totally sent to CPU. At the same time, transmission data from CPU is selected at data selector DSEL3 and input to SRBM and completion signal is stored in CBM after completion of transmission.

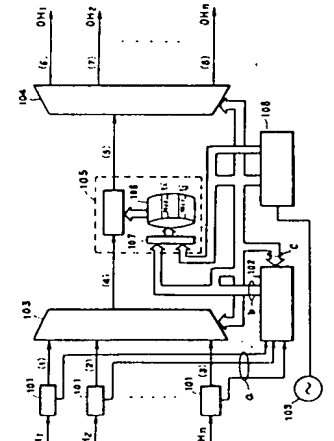


(54) MEMORY SWITCH TYPE TIME DIVISION CIRCUIT EXCHANGE SYSTEM

- (11) Kokai No. 52-55403 (43) 5.6.1977 (21) Appl. No. 50-131639
 (22) 10.31.1975
 (71) FUJITSU K.K. (1) (72) HIROAKI SATO (3)
 (52) JPC: 96(2)C4;97(7)C0;97(7)C01;97(7)D3
 (51) Int. Cl². H04Q11/04,G06F13/00,G11C9/00,G11D1/00,G06F3/00

PURPOSE: The necessary memor quantity is reduced as well as the delay time from in-highway to out-highway is shortend. In this way, the delay of high-speed terminal equipment can be minimized even in case multiple exchange is carried out with storing subscribers of different velocity.

CONSTITUTION: As for the high-speed terminal equipment exchange in case the terminal units of different communication velocity are stored, the high-speed terminal has m-fold velocity of that of low-speed terminal. One low-speed terminal channel is allotted per frame, while high-speed terminal performs conversion between m-units of channel allotted in one frame. Thus, the circuit exchange is carried out. The data of high-speed highway tj channel is written into address Mil of data pass memory 105 through data Mil which is read out from channel converting hold memory 106, and is judged as Mil by data MiO which read out from 16 at a certain time of counter 108 to be read out from address Mil of memory 105.

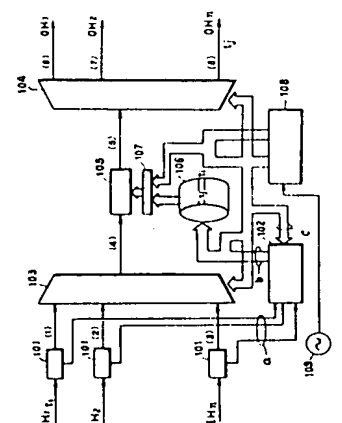


(54) MEMORY SWITCH TYPE TIME DIVISION CIRCUIT EXCHANGE SYSTEM

- (11) Kokai No. 52-55404 (43) 5.6.1977 (21) Appl. No. 50-131640
 (22) 10.31.1975
 (71) FUJITSU K.K. (1) (72) HIROAKI SATO (3)
 (52) JPC: 96(2)C4;97(7)C0;97(7)C01;97(7)D3
 (51) Int. Cl². H04Q11/04,G06F13/00,G11C9/00,G11D1/00,G06F3/00

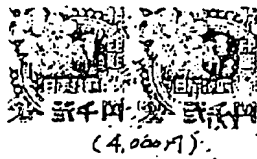
PURPOSE: The channel conversion memory (data pass memory) performs frame matching simultaneously in order to minimize necessary memory quantity as well as to reduce delay time from in-highway to out-highway.

CONSTITUTION: When conversion is performed from ti channel of in-highway 1H₁ to tj channel of out-highway OH_n, the input of 1H₁ has synchronism at synchronizing unit 101 between bit and channel with no frame synchronism and undergoes high-speed multiplication by address of address counter 108 at unit 103. The ti data addresses ti of holding memory 106 by address of ti of counter 102 to read tj, and is written into ti address of data pass memory 105 by tj. This data is read out when address display of counter 108 becomes tj, and sent out to memory 105 to form frame. Then the data is transmitted to tj channel of OH_n via isolating unit 104.



①

98-017710 (20083) 南連



(4,000円)

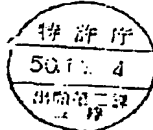
特 許 願 (C)

通

昭和 50 年 10 月 31 日

特許庁長官 斎藤 英 雄 殿

1. 発明の名称 メモリ・スイッチ形時分割回線交換方式
2. 発明者
住 所 神奈川県川崎市中原区上小田中 1015 番地
富士通株式会社内
氏 名 佐藤 博 昭
3. 特許出願人 (外 3 名)
住 所 神奈川県川崎市中原区上小田中 1015 番地
氏 名 (522) 富士通株式会社
代表者 清 宮 博
4. 代 理 人 千 71 (外 1 名)
住 所 東京都豊島区南長崎 2 丁目 5 番 2 号
氏 名 (7139) 弁護士 玉 島 久 五 郎
5. 添付書類の目録
(1) 明 細 書 1 通
(2) 図 面 1 通
(3) 委 任 状 2 通
(4) 願 書 副 本 1 通



50.131640

明 細 書

1. 発明の名称
メモリ・スイッチ形時分割回線交換方式

2. 特許請求の範囲
複数個の時分割多重伝送路からなる入ハイウェイのチャネル同期をとるためのチャネル同期装置と、チャネル同期した上記同期装置の出力を多重化する多重装置と、該多重装置によって多重化されたデータのチャネル交換とともに出ハイウェイに対応してフレーム合せを行なうデータ・バス・メモリ手段と、該データ・バス・メモリ手段の出力を複数個の出ハイウェイに分離する分離装置とを具備することを特徴とするメモリ・スイッチ形時分割回線交換方式。

3. 発明の詳細な説明

本発明はメモリ・スイッチ形時分割回線交換方式に関する。

従来のこの種交換方式においてはメモリを多く必要としたり、また同期をとるための遅延が大きい等の問題点があった。

⑨ 日本国特許庁

公開特許公報

⑪特開昭 52-55404

⑬公開日 昭 52. (1977) 5. 6

⑭特願昭 50-121640

⑮出願日 昭 50. (1975) 10. 31

審査請求 未請求 (全 6 頁)

庁内整理番号 6463 56

6651 56

6453 56

6453 56

⑫日本分類

962000

97700

977001

977003

⑬ Int. Cl²

H04Q 11/04

G06F 13/00

G11C 9/00

G11D 1/00

G06F 3/00

識別
記号

これを図について説明する。第 1 図は従来のこの種のいわゆるメモリ・スイッチ形回線交換機のブロック図である。図において、 $1H_1 \sim 1H_n$ および $0H_1 \sim 0H_n$ はそれぞれこのメモリ・スイッチ形交換機と他の交換系装置とを結ぶ入ハイウェイおよび出ハイウェイで、1 は入ハイウェイからフレーム信号を抽出し各入ハイウェイのビット同期およびチャネル同期をとるための同期装置、2 は各入ハイウェイのフレーム同期をとるフレーム同期装置、3 は各入ハイウェイを高速多重化する多重装置、4 は高速多重化されたデータを各出ハイウェイに分離する分離装置であり、また多重装置 3 と分離装置 4 との間に挿入されたデータ・バス・メモリ 5 は、高速多重されたデータをチャネル交換するもので、チャネル交換用保持メモリ 6 とともに、入ハイウェイのチャネルの時間位置を出ハイウェイの任意の時間位置に交換して回線の交換を行なうものである。なお、7 はデータ・バス・メモリ 5 のアドレスを切替えるアドレス・セレクト、8 はフレーム同期装置に同期し、倍の周波数をもつ

クロックで動作するアドレス・カウンタである。

次に上記交換機の動作を、入ハイウェイ IH_1 の i チャンネルを出ハイウェイ OH_n の j チャンネルに接続する場合を例にして、第2図に示すタイム・チャート参照して説明する。この接続すなわちチャンネル交換を行なう場合にはチャンネル交換用保持メモリ6の i アドレスに j というデータを書き込んでおく。入ハイウェイ IH_1 の i チャンネルは、ビットおよびチャンネル同期装置1によってビット同期およびチャンネル同期がとられ、同期装置1の出力は第2図(1)の状態となる。ここに図中、 T は各ハイウェイのフレーム・ビットの時間位置を、また、 i, j はそれぞれ該当チャンネルの時間位置を示す。また、他の入ハイウェイ IH_2, IH_n についても同様、各ビットおよびフレーム同期装置1の出力はそれぞれ(2), (3)の状態となる。さらに各入ハイウェイは、フレーム同期装置2で各入ハイウェイのフレームが同時刻となるよう遅延され、それぞれ(4)~(6)の状態となる。フレームが同期した各入ハイウェイのデータは、アドレス

(3)

ウェイ対応にフレーム同期を取るためのメモリ(第1図の2)および高速多重されたデータを変換するためのデータ・バス・メモリが必要であり、フレームが長くなるに従って必要なメモリ量が増大し、また、フレーム同期およびチャンネル交換のための遅延時間が相加され入ハイウェイから出ハイウェイまでの遅延時間も長くなるという欠点があった。

本発明は、この種の交換方式において、必要なメモリ量を少なくし、また入ハイウェイから出ハイウェイまでの遅延時間を短かくすることを目的とするものである。

本発明によれば、複数個の時分割多重伝送路からなる入ハイウェイのチャンネル同期をとるためのチャンネル同期装置と、チャンネル同期した上記同期装置の出力を多重化する多重装置と、該多重装置によって多重化されたデータのチャンネル交換とともに出ハイウェイに対応してフレーム合せを行なうデータ・バス・メモリ手段と、該データ・バス・メモリ手段の出力を複数個の出ハイウェイに分

・カウンタ8と多重装置3とにより高速多重され第2図(7)で示すように、各ハイウェイのフレームがフレーム毎に順々に配列された形となり、データ・バス・メモリ5に入力する。高速多重化されたチャンネル i のデータはチャンネル交換用保持メモリ6の i アドレスに書き込まれている j により、データ・バス・メモリ5の j アドレスに書き込まれる。局内のアドレス・カウンタ8の指定するアドレスが j となると、データ・バス・メモリ5の j アドレスに書き込まれた入ハイウェイの i チャンネルのデータがチャンネル j 上に読出され、データ・バス・メモリ5の出力は第2図(8)の状態となり、このデータは分離装置4により各出ハイウェイに分離され j に読出された i のデータは(9)に示すように出ハイウェイ OH_n のチャンネル j に出てゆく。すなわち、入ハイウェイ IH_1 の i チャンネルのデータは出ハイウェイ OH_n の j チャンネルに伝送されるようになり回線交換が行なわれる。

このような従来の交換機においては、各入ハイ

(4)

離する分離装置とを具備するメモリ・スイッチ形時分割回線交換方式により、上記の目的を達した。

以下本発明を実施例について詳細に説明する。

第3図は本発明の一実施例のブロック図である。図において $IH_1 \sim IH_n$ および $OH_1 \sim OH_n$ はそれぞれ第1図と同様入ハイウェイおよび出ハイウェイで、101は各入ハイウェイのビット同期およびチャンネル同期をとるための同期装置であってフレーム信号を抽出する機能を有し、102は同期装置101で抽出されたフレーム信号から局内での入ハイウェイの各チャンネルのアドレスを発生するためのメモリ・カウンタ、103は各ハイウェイを高速多重する多重装置、104は高速多重されたデータを分離する分離装置であり、多重装置103と分離装置104との間に挿入されたデータ・バス・メモリ105は高速多重されたデータをチャンネル交換するものでチャンネル交換用保持メモリ106とともに回線交換を行ないかつ出ハイウェイ対応に読出ハイウェイに伝送すべきチャンネルを集めてフレーム構成を行なう、すなわちフレーム合せをも行なうものであ

る。なお107はデータ・バス・メモリのアドレスを切替えるアドレス・セレクタ、108は出ハイウェイ側のアドレス・カウンタ、109は入ハイウェイに同期しフレーム周波数の n 倍の周波数をもつクロック発生器である。

次に第3図の実施例の動作を、前記と同様、ハイウェイ IH_1 の ii チャンネルから出ハイウェイ OH_n の jj チャンネルに変換（交換接続）する場合を例として、第4図を参照して説明する。

入ハイウェイ IH_1 からの入力同期装置101においてビット同期およびチャンネル同期がとられ、その出力(1)は第4図(1)に示すような状態となり、また、他の入ハイウェイ $IH_2 \sim IH_n$ もそれぞれ同期がとられ、(2)～(3)に示す状態となる。図中、 P は各ハイウェイのフレーム・ビットの時間位置を、また ii, jj はそれぞれ該当チャンネルの時間位置を示す。そして各入ハイウェイは、フレーム同期をとらないでアドレス・カウンタ108で示されたアドレスにしたがって、多重装置103によって高速多重⁽⁴⁾され、第4図(4)に示す状態となる。従来のも

(7)

(7)(8)に示す状態となり、入ハイウェイ OH_1 の ii のチャンネルは出ハイウェイ OH_n の jj チャンネルに接続されたこととなる。

次に第3図に示すメモリ・カウンタ102の一つの構成例を第5図に示す。図において201は各入ハイウェイのビットおよびチャンネル同期装置101（第3図）において抽出されたフレーム信号を多重化する多重装置であって、また202は各入ハイウェイのアドレスを決定するメモリ、203はレジスタ、204はフレーム信号があるときカウンタをリセットするためのゲート、205は入力に1を加算する処理をするカウンタである。メモリ202は第3図に示す多重装置103において多重⁽⁴⁾される n 方路のハイウェイを識別できるビット数とそれぞれの入ハイウェイが多重⁽⁴⁾しているチャンネル数を計数できるビット数をそれぞれ記憶できるメモリ・エリアを、チャンネルの総数すなわち入ハイウェイの数 n と各ハイウェイの1フレームに収容しているチャンネル数との積に相当する数を保有している。メモリ202の各アドレスは各入ハイウェイに対応

(9)

のと同じ、ここではフレーム同期はとられていないが、このように高速多重⁽⁴⁾されたデータの各チャンネルのアドレスはメモリ・カウンタ102で表示される。多重装置103で多重⁽⁴⁾されたとき第4図(4)で示す ii のデータは、メモリ・カウンタ102で示された ii のアドレスによりチャンネル変換保持用メモリの ii をアドレスして jj を読出し、 jj によりデータ・バス・メモリの jj アドレスに書込まれる。 ii アドレスに書込まれた入ハイウェイの ii のデータは、アドレス・カウンタ108のアドレス表示が jj になると読出され、データ・バス・メモリ105の出力に送り出され、入ハイウェイ IH_1 の ii チャンネルのデータは出ハイウェイ OH_n の jj チャンネルに伝送されることとなり、また出ハイウェイ毎にフレームが構成され第4図(5)の状態となる。

データ・バス・メモリ105によって時間交換されたデータはアドレス・カウンタ108により分離装置104において各出ハイウェイに分配される。出ハイウェイ、 OH_1, OH_2, OH_n はそれぞれ第4図(6)

(8)

してチャンネルごとに計数され、フレーム信号によりリセットされる。以上の構成によりフレーム同期のとれていない n 本のハイウェイのチャンネルのアドレスを発生することができる。

第6図は本発明の他の実施例のブロック図である。同図において同一の番号は第3図と同一のものを示す。第6図において301は各入ハイウェイのビット同期とチャンネル同期をとる同期装置であるがフレーム信号を抽出しない点第3図の101と異なる。なおこれに伴ってメモリ・カウンタ102の構成がやや異なる。

第6図において、各入ハイウェイ $IH_1 \sim IH_n$ はチャンネル同期をとって多重装置103において多重⁽⁴⁾されその出力はメモリ・カウンタ102にも分岐する。メモリ・カウンタ102において多重装置103の出力から各ハイウェイのフレーム信号を検出し、該フレーム信号にしたがって各ハイウェイのアドレスを発生する。他の動作は第3図に示す例と同様である。

第7図は第6図におけるメモリ・カウンタ102

(10)

の詳細を示すものであって、401は各入ハイウェイ対応のフレーム信号を受け、各入ハイウェイのアドレスを発生させるためのメモリ、402は多重化された各ハイウェイデータすなわち第6図の多重装置103の出力よりフレーム信号を検出する演算回路である。第7図においては各入ハイウェイのデータよりフレーム信号（例えば0101のパターン）が来る毎にこのビット・パターンによりフレーム信号であることを検出し、この検出したフレーム信号より第5図と同様にアドレスを発生するものである。

以上説明したように、本発明によれば、この種交換方式において、チャネル交換用メモリ（データ・バス・メモリ）がフレーム合せをも同時に行なうため、従来のフレーム合せ用メモリ（第1図2）が不要となり、必要メモリ量は半減し、また、フレーム同期のための遅延が不要となるため、従来方式では入ハイウェイから出ハイウェイにデータが出るまでの遅延時間は最大2フレーム分となるが本発明によれば最大1フレームとなり半減す

る効果がある。これは特にフレームが長い時分割データ交換においてきわめて経済的かつサービス性の良い構成とするのに有効である。

4. 図面の簡単な説明

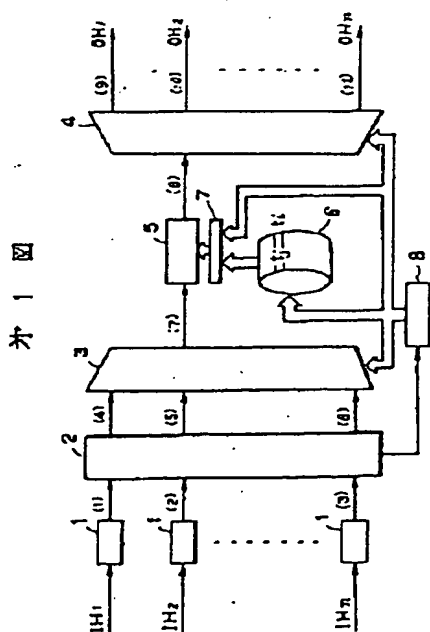
第1図は従来のメモリ・スイッチ形時分割回線交換方式のブロック図、第2図は第1図の方式の動作説明のためのタイム・チャート、第3図は本発明の一実施例のブロック図、第4図は第3図の実施例の動作説明のためのタイム・チャート、第5図は第3図に示すメモリ・カウンタの詳細なブロック図、第6図は本発明の他の実施例のブロック図、第7図は第6図に示すメモリ・カウンタの詳細なブロック図である。

図において、 $1H_1 \sim 1H_n$ は入ハイウェイ、101、301はチャネル同期装置、103は多重装置、105はデータ・バス・メモリ、104は分離装置、 $OH_1 \sim OH_n$ は出ハイウェイである。

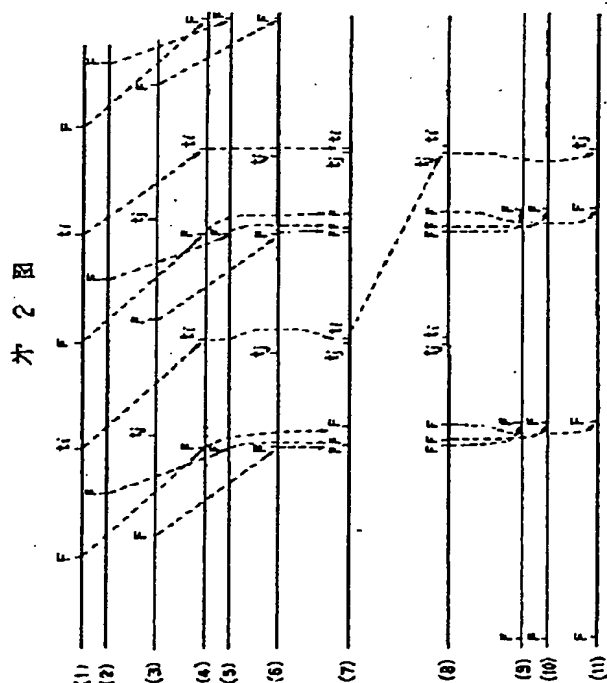
特許出願人 富士通株式会社（外1名）

代理人弁護士 玉 森 久 五 郎（外4名）

(11)



(12)



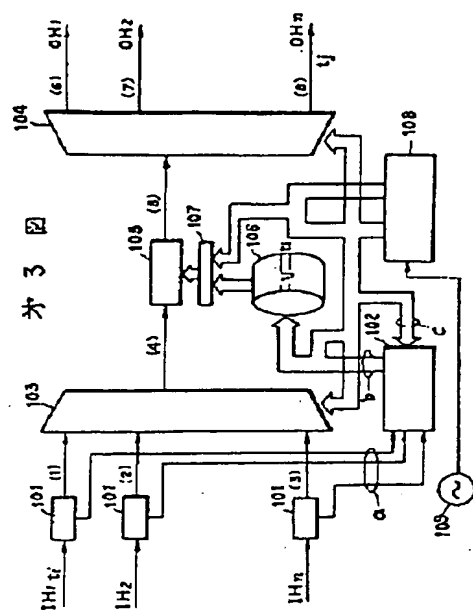


圖 4 示

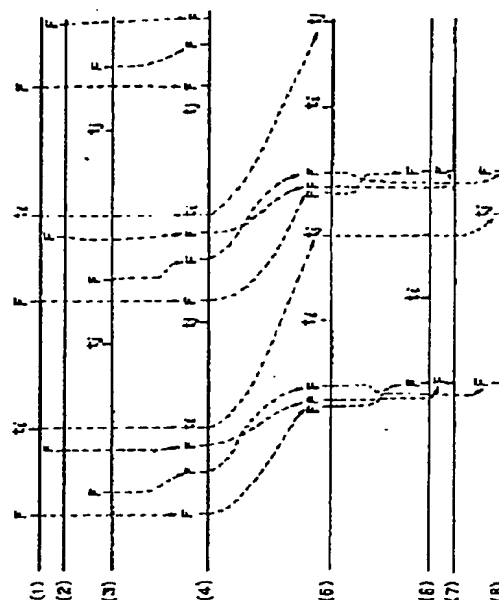


图 5 为

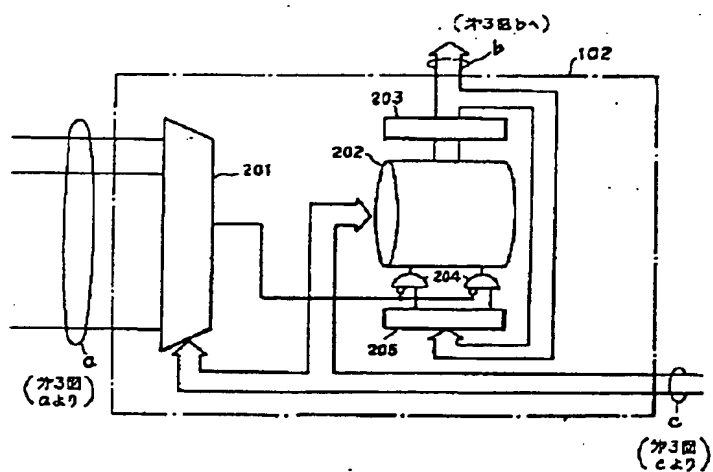


图 6 木

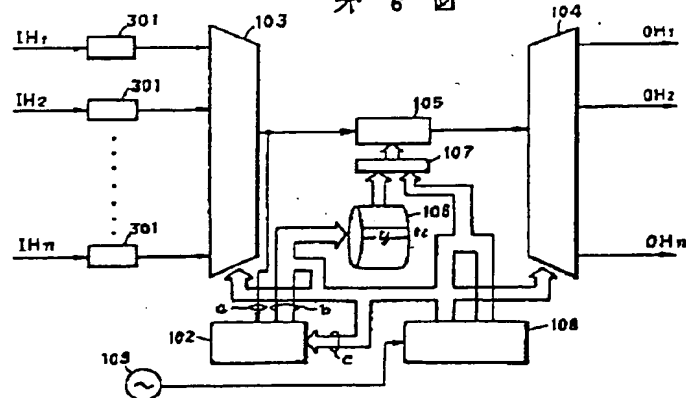
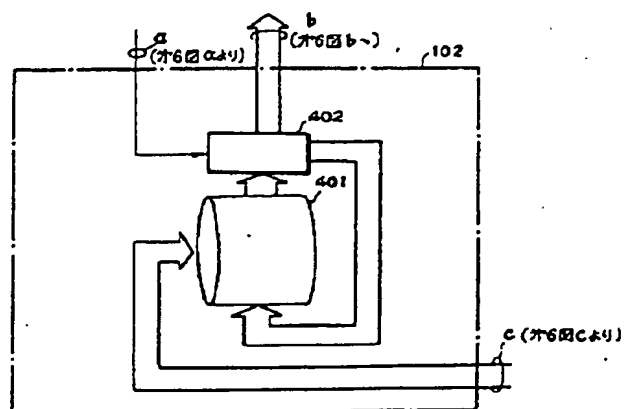


图 7 示



4. 前記以外の発明者、特許出願人および代理人

(1) 発 明 者

住 所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

氏 名 小 島 拓 人

住 所 同 上

氏 名 内 藤 俊 一

住 所 東京都武蔵野市緑町3丁目9番11号

日本電信電話公社武蔵野電気通信研究所内

氏 名 岡 岡 博 史

(2) 特許出願人

住 所 東京都千代田区内幸町一丁目1番6号

氏 名 (422) 日本電信電話公社

代表者 米 沢 滋

(3) 代 理 人

住 所 東京都豊島区南長崎2丁目5番2号

氏 名 (7283) 弁理士 柏 谷 昭 司

(7449) 弁理士 田 坂 善 重

(7589) 弁理士 渡 邊 弘 一

(7727) 弁理士 磯 村 雅 俊